

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-100867

(43) Date of publication of application : 13.04.2001

(51)Int.Cl.

G06F	1/24
G06F	1/32
H04N	1/00

(21)Application number : 11-279633

(71)Applicant : RICOH CO LTD

(22)Date of filing : 30.09.1999

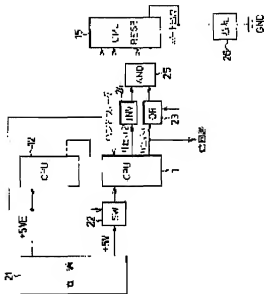
(72)Inventor : ENDO HIROYUKI

(54) DEVICE WITH ENERGY-SAVING FUNCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To protect a slave CPU which should operate, even under an energy-saving mode against a reset signal outputted even under the energy-saving mode for a device having energy saving function capable of saving power consumption in a standby state.

SOLUTION: This slave CPU is protected against reset signal from a CPU for main control to the slave CPU in the energy saving mode. Thus, the slave CPU will not go into a reset state by the reset signal generated, by the turning off the power source of the CPU for main control in the energy saving mode.



LEGAL STATUS

[Date of request for examination] 22.03.2004

[Date of sending the examiner's decision of rejection] 05.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. ⁷	識別記号	F I	テレポート (参考)		
G 0 6 F	1/24	H 0 4 N	1/00	C	5 B 0 1 1
	1/32	G 0 6 F	1/00	3 5 0 B	5 B 0 5 4
H 0 4 N	1/00			3 3 2 B	5 C 0 6 2

審査請求 未請求 請求項の数 4 O L (全 6 頁)

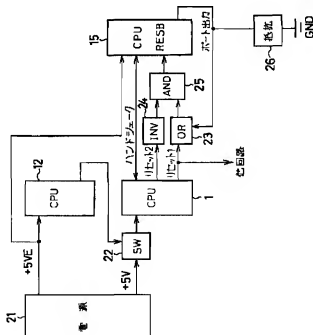
(21) 出願番号	特願平11-279633	(71) 出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成11年9月30日 (1999.9.30)	(72) 発明者	遠藤 洋之 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
		(74) 代理人	100083231 弁理士 紋田 誠
		F ターム (参考)	5B011 EA08 EA10 LL12 MA01 MA02 5B054 BB02 BB11 CC01 5C062 AA02 AA05 AB20 AB41 AB49 AB51

(54) 【発明の名称】 省エネルギー機能付き装置

(57) 【要約】

【課題】 待機状態では消費電力を節減することが可能な省エネルギー機能付き装置において、省エネルギーモード下でも動作すべきスレープCPUを、省エネルギーモード下で出力されるリセット信号に対して、プロテクトすること。

【解決手段】 スレープ用CPUは、省エネルギーモード中にメイン制御用CPUからスレープ用CPUへのリセット信号に対してプロテクトをかける。これにより、省エネルギーモード中にメイン制御用CPUの電源がオフされることで発生するリセット信号により、スレープ用CPUはリセット状態にならない。



【特許請求の範囲】

【請求項1】 省エネルギーモードのオン/オフ電源制御を行う省エネルギーモード制御用CPUと、省エネルギーモード中は電源供給をストップされるとともにリセット信号を出力する、定常時のメイン制御を行うメイン制御用CPUと、省エネルギーモード中も電源供給されるとともに前記メイン制御用CPUからの前記リセット信号を受ける、スレーブ用CPUと、を備えた省エネルギー機能付き装置において、

前記スレーブ用CPUは、省エネルギーモード中に前記メイン制御用CPUから前記スレーブ用CPUへの前記リセット信号に対してプロテクトをかけることを特徴とする省エネルギー機能付き装置。

【請求項2】 請求項1記載の省エネルギー機能付き装置において、前記リセット信号とは逆論理でありかつ省エネルギーモード中にはアクティブにならない第2リセット信号を、メイン制御用CPUから別ラインでスレーブ用CPUに供給することを特徴とする省エネルギー機能付き装置。

【請求項3】 請求項2記載の省エネルギー機能付き装置において、前記リセット信号は電源オンに伴うパワーオンリセット専用とし、前記第2リセット信号はその他のリセットに使用することを特徴とする省エネルギー機能付き装置。

【請求項4】 請求項1～3記載の省エネルギー機能付き装置において、前記リセット信号に対するプロテクトを、前記スレーブ用CPUのポート出力とするとともに、このポート出力を所定の電位に固定することを特徴とする省エネルギー機能付き装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、待機状態では消費電力を削減することが可能な省エネルギー機能付き装置に関する。

【0002】

【従来の技術】従来、ファクシミリ装置など、待機状態では消費電力を削減することが可能な省エネルギー機能付き装置として、メイン制御用CPUとともに、省エネルギーモード制御用CPUを設けて、省エネルギーモード制御用CPUによりメイン制御用CPUおよびその周辺回路の電源をオフさせ、省エネルギーモードを実現した装置がある（特開平8-214096号公報）。

【0003】このような省エネルギー機能付き装置では、省エネルギー効果を上げるために省エネルギーモードにより電源をオフされるメイン制御用CPUおよびその周辺回路の規模が、省エネルギーモード制御用CPUおよびその周辺回路の規模よりも非常に大きくになっている。

【0004】従って、省エネルギー機能付き装置全体の各回路ブロックへのリセット出力もメイン制御用CPUが行う事が多い。この場合、省エネルギー機能付き装置

全体の各回路ブロックへ出力されるリセット信号は、メイン制御用CPUの電源オフ時（省エネルギーモード中）や、メイン制御用CPUへのリセットが解除されるまでは、アクティブとなっている。

【0005】

【発明が解決しようとする課題】このメイン制御用CPUが出力するリセット信号は、省エネルギーモード中でも電源供給される周辺（またはオプション）制御用のスレーブCPUにも入力されている事がある。

10 【0006】この場合には、省エネルギーモード下でメイン制御用CPUの電源がオフされると、周辺（またはオプション）制御用のスレーブCPUに対してリセット信号が出力されてしまう、つまりリセット信号がアクティブになってしまう欠点があった。

【0007】そこで、本発明は、待機状態では消費電力を削減することが可能な省エネルギー機能付き装置において、省エネルギーモード下でも動作すべき周辺（またはオプション）制御用のスレーブCPUを、省エネルギーモード下で出力されるリセット信号に対して、プロテクトすることを目的とする。

【0008】

【課題を解決するための手段】本発明の請求項1記載の省エネルギー機能付き装置は、省エネルギーモードのオン/オフ電源制御を行う省エネルギーモード制御用CPUと、省エネルギーモード中は電源供給をストップされるとともにリセット信号を出力する、定常時のメイン制御を行うメイン制御用CPUと、省エネルギーモード中も電源供給されるとともに前記メイン制御用CPUからの前記リセット信号を受ける、スレーブ用CPUと、を備えた省エネルギー機能付き装置において、前記スレーブ用CPUは、省エネルギーモード中に前記メイン制御用CPUから前記スレーブ用CPUへの前記リセット信号に対してプロテクトをかけることを特徴とする。

30 【0009】この構成によれば、省エネルギーモード中にメイン制御用CPUの電源がオフされることでメイン制御用CPUから発生するリセット信号により、スレーブ用CPUがリセット状態にならないように、スレーブ用CPUが自分へのリセット信号入力に対してプロテクトをかけることで、省エネルギーモード下でも動作すべき周辺（またはオプション）制御用のスレーブ用CPUがリセットされることを防止する。

【0010】本発明の請求項2記載の省エネルギー機能付き装置は、請求項1記載の省エネルギー機能付き装置において、前記リセット信号とは逆論理でありかつ省エネルギーモード中にはアクティブにならない第2リセット信号を、メイン制御用CPUから別ラインでスレーブ用CPUに供給することを特徴とする。

40 【0011】この構成によれば、メイン制御用CPUから、前記リセット信号とは逆論理でありかつ省エネルギーモード中にはアクティブにならない第2リセット信号

を、スレーブ用 CPU に供給している。これにより、スレーブ用 CPU が自分へのリセット信号入力に対してプロテクトをかけている最中に、スレーブ用 CPU が何らかの理由で暴走してしまった場合にも、リセットすることができ。

【0012】本発明の請求項 3 記載の省エネルギー機能付き装置は、請求項 2 記載の省エネルギー機能付き装置において、前記リセット信号は電源オンに伴うパワーオンリセット専用とし、前記第 2 リセット信号はその他のリセットに使用することを特徴とする。

【0013】この構成によれば、パワーオンリセット用には前記リセット信号を用い、別ラインの前記第 2 リセット信号をパワーオンリセット以外の通常のリセット用に用いるように切り分けて使用することで、ソフトウェア設計上で構成を簡略化することが可能になる。

【0014】本発明の請求項 4 記載の省エネルギー機能付き装置は、請求項 1～3 記載の省エネルギー機能付き装置において、前記リセット信号に対するプロテクトを、前記スレーブ用 CPU のポート出力とするとともに、このポート出力を所定の電位に固定することを特徴とする。

【0015】この構成によれば、前記リセット信号をプロテクトするためのスレーブ用 CPU のポート出力が所定の電位に固定されるから、省エネルギーモードではない通常の電源オン時のパワーオンリセット時にスレーブ用 CPU のポート出力が所定の電位に固定され、安定したリセット信号が入力される。

【0016】

【発明の実施の形態】本発明の実施例について、図を参照して、順次説明する。以下の説明では、省エネルギー機能付き装置として、ファクシミリ装置を例にとって説明する。

【0017】図 1 は、本発明を適用した省エネルギー機能付きファクシミリ装置のシステム構成図を示すものである。

【0018】図 1 において、メイン制御用 CPU 1 は、制御のためのプログラムやデータなどを記憶している ROM 2、制御に必要な種々のデータを記憶する RAM 3 を有しファクシミリ装置全体の制御を行う。画像メモリとしては、圧縮データメモリ用の S A F メモリ 4、印刷生データのバッファ用ページメモリ 5 を備える。操作部 6 では、本ファクシミリ装置の操作をオペレータが行う。

【0019】D C R 7 では画データの圧縮伸張を行い、I / O 制御部 8 は本ファクシミリ装置の I / O 制御全般を行い、モデム 9 と通信アナログ制御回路 10 ではファクシミリ通信に関する制御を行い、N C U 11 で回線データに変換されて送受信を行う。

【0020】省エネルギーモード制御用 CPU 12 は、省エネルギーモード中でも電源が供給され、メイン制御用

CPU 1 への電源供給のオン／オフを電源オン／オフ回路 13 にて行う。また、省エネルギーモード中の機器制御も行う。

【0021】スレーブ用 CPU 15 は、省エネルギーモード中でも電源が供給され、例としてプリンタ端末や LAN 端末からの起動要求を監視する。このスレーブ用 CPU 15 は、例としてシリアル I / F や D P R A M 等の I / F 回路 14 によりメイン制御用 CPU 1 とハンドシェイクを行う。これらの各構成要素がバスに結合されて、ファシミリ装置を構成している。

【0022】図 2 は、本発明を適用した省エネルギー機能付きファクシミリ装置に用いられる 3 台の CPU、すなわちメイン制御用 CPU 1、省エネルギーモード制御用 CPU 12、及びスレーブ用 CPU 15 への、電源供給構成とリセット信号の構成を示すブロック図である。

【0023】図 2 において、電源 21 はファクシミリ装置全体の電源であり、必要に応じてオン／オフ制御されるものである。電源 21 がオンされると、+5V E 及び +5V の 2 つの電源電圧が出力される。+5V E の電源電圧は、省エネルギーモード制御用 CPU 12、及びスレーブ用 CPU 15 へ供給され、省エネルギーモード時にも継続して供給される。一方、+5V の電源電圧は、スイッチ 22 を介してメイン制御用 CPU 1 に供給されており、省エネルギーモード制御用 CPU 12 からの省エネルギーモードの指令信号によりスイッチ 22 が開放されると、メイン制御用 CPU 1 への電源電圧 +5V の供給は停止されるようになっている。

【0024】さて、電源 21 がオンされると、メイン制御用 CPU 1 はパワーオンリセット信号として、L (ロー) アクティブのリセット 1 信号を出力し、ファクシミリ装置全体の回路に供給する。同時にこの L アクティブのリセット 1 信号をスレーブ用 CPU 15 へも供給する。この時、メイン制御用 CPU 1 とスレーブ用 CPU 15 は、お互いにハンドシェイクをしてインターフェースされる。

【0025】メイン制御用 CPU 1 は、自分自身のインシヤルが終了すると、リセット 1 信号を L レベルから H (ハイ) レベルにして (L → H)、周辺回路のリセットを解除する。この後は、通常のファクシミリ動作に入ることになる。

【0026】ところで、リセット 1 信号は通常、電源オン時にインシヤル L レベルの出力ポートなどがアサインされるから、メイン制御用 CPU 1 の電源をオフしている省エネルギーモード中にもリセット 1 信号は L レベルとなる。

【0027】このリセット 1 信号は、省エネルギーモード中でも電源供給される周辺またはオプション制御用のスレーブ CPU 15 にも入力されているから、省エネルギーモード下でメイン制御用 CPU 1 の電源がオフされると、スレーブ CPU 15 に対してリセット 1 信号 (L

レベル)が出力されてしまう。

【0028】そこで、本発明は、スレープCPU15のポート出力を使用してHレベルの信号を形成し、Lレベルのリセット1信号の入力を阻止し、プロテクトするように構成している。

【0029】このスレープCPU15に対するリセット1信号のプロテクトの手順を図3のフローチャートにしたがって説明する。

【0030】図3で、スタートすると、ステップS31で省エネルギーモードへの移行要求があるかどうかをチ
ェックする。

【0031】省エネルギーモードへの移行要求があると、ステップS32でメイン制御用CPU1とスレープ用CPU15との間で必要な移行処理を行い、ステップS33でその移行処理が終了したかどうかをチェックし、移行処理が終了していない場合は終了するまでステップS32、ステップS33を繰り返す。

【0032】省エネルギーモードへの移行処理が終了すると、ステップS34でスレープ用CPU15のリセット1信号に対するプロテクト処理を行う。つまり、スレープ用CPU15の出力ポートをHレベルにし、オア回路23にリセット1信号とともに加え、スレープ用CPU15のリセット端子RESBの入力をHレベル(すなわち非アクティブレベル)に保持する。

【0033】このスレープ用CPU15の省エネルギー移行処理が終了すると(ステップS35)、メイン制御用CPU1への省エネルギー移行許可がなされ(ステップS36)、省エネルギーモード制御用CPU12からスイッチ22に開放指令信号が送られて、メイン制御用CPU1の+5V電源電圧がオフされ(ステップS37)、省エネルギーモードに移行する(ステップS38)。

【0034】これにより、省エネルギーモード中のスレープ用CPU15へのリセット1信号入力を、スレープ用CPU自身がプロテクトしているため、省エネルギーモード中にスレープ用CPU15を動作可能とすることができる。

【0035】また、図2において、メイン制御用CPU1から別ラインでリセット2信号が出力され、インバータ24で論理が反転された上で、オア回路23の出力とインバータ24の出力がアンド回路25で論理積を取って、スレープ用CPU15のリセット端子RESBに供給されている。

【0036】これは、スレープ用CPU15が自分へのリセット1信号を自分自身のポート出力でプロテクトする構成としていることから、もし省エネルギーモード中にスレープ用CPU15が何らかの理由で暴走してしまった場合に、スレープ用CPU15を外側からリセットするためである。

【0037】このために、メイン制御用CPU1から別

ラインで出力されるリセット2信号は、リセット1信号とは逆論理のHレベルでリセットが係るようにするために、メイン制御用CPU1が電源オフの省エネルギーモード時にはLレベルであり、メイン制御用CPU1の電源がオンされたかつ強制リセット指令が出されたときにHレベルとなる。

【0038】したがって、リセット2信号は通常の状態ではLレベルにあり、これが反転されてアンド回路に供給されるから、リセット1信号ならびにスレープ用CPU15のプロテクト動作に何らの支障も生じない。そして、省エネルギーモード中にスレープ用CPU15が何らかの理由で暴走し、オア回路23の出力がHレベルに固定されてしまったとしても、メイン制御用CPU1の電源をオンし、かつ強制リセットを指令することで、リセット2信号がHレベルになる。これによって、スレープ用CPU15のリセット端子RESBにLレベルのリセット信号が供給され、リセットされる。

【0039】このリセット2信号による強制リセットの手順を図4のフローチャートにしたがって説明する。

【0040】図4で、スタートすると、ステップS41でスレープ用CPU15の応答が正常か否かをチェックする。正常なら、終了する。

【0041】ステップS41でスレープ用CPU15の応答が正常でないとき、ステップS42でリセット1信号によるリセット処理を実行する。その上で、ステップS43で再びスレープ用CPU15の応答が正常か否かをチェックし、正常なら終了する。

【0042】ステップS43でスレープ用CPU15の応答が正常でないとき、ステップS44でリセット2信号によるリセット処理を実行する。その上で、ステップS45で再びスレープ用CPU15の応答が正常か否かをチェックし、正常なら終了する。これでも、まだスレープ用CPU15の応答が正常でないときには、ファクシミリ装置の故障と判断して、故障表示とか警報を行う。

【0043】このように、省エネルギーモード中のスレープ用CPU15の暴走対策のために、追加の別リセット信号を設けているので、スレープCPUの暴走時にリセットすることができ。

【0044】さて、以上説明したように、スレープCPU15のリセット信号として、パワーオンリセット信号を含むリセット1信号と、強制リセット信号を含むリセット2信号とを設けている。電源オン時にメイン制御用CPU1のリセット中にスレープ用CPUをリセット状態にすることがソフトウェアのハンドシェイクを実現する上で必須であり、このためにパワーオンリセット信号がどうしても必要となる。

【0045】先の図2のブロック図において、リセット1信号とリセット2信号の使用法はソフトウェアの設計構成に一任される。ここで、ソフトウェアの設計構成

上、リセット 1 信号は電源オンに伴うパワーオンリセット専用とし、リセット 2 信号はその他のリセットに使用するようにする。

【0046】このように、パワーオンリセット用のみリセット信号としてリセット 1 信号を用い、第 2 リセット信号として別ラインのリセット 2 信号をパワーオンリセット以外の通常のリセット用に用いるようにして、スレープ CPU 15 に対するリセット信号を電源オン時とそれ以外で分けて使用することで、ソフトウェア設計を簡略化することができる。

【0047】さらに、図 2 において、リセット 1 信号に対するプロテクトを、スレープ用 CPU 15 のポート出力とするとともに、このポート出力を所定の電位に固定するために、この例ではプルダウンする抵抗 26 をポート出力と接地電位 GND 間に接続している。

【0048】これは、リセット 1 信号に対するプロテクトをスレープ用 CPU 自身の出力ポートを使用して行った場合、この出力ポートは汎用 CPU では、電源オン時にイニシャル入力ポートに設定されているものが多い。そのために、省エネルギーモードではない通常の電源オン時に、このポート出力状態がハイインピエンス状態になり、CPU 2 に対するリセットが十分に行われない可能性があることに対応して、この様なリセットの不十分を防止するためのものである。

【0049】このポート出力と接地電位 GND 間に接続した抵抗 26 により、電源オン時のポート出力信号は確実に L レベルに固定され、リセット 1 信号の L レベルはスレープ用 CPU 15 のリセット端子 RESB に確実に供給される。

【0050】

【発明の効果】請求項 1 記載の発明によれば、省エネルギーモード中にメイン制御用 CPU の電源がオフされることによりメイン制御用 CPU から発生するリセット信号によりスレープ用 CPU がリセット状態にならないように、スレープ用 CPU が自分へのリセット信号入力に対してプロテクトをかけることで、省エネルギーモード下でも動作すべき周辺（またはオプション）制御用のスレープ用 CPU がリセットされることを防止する。

【0051】請求項 2 記載の発明によれば、メイン制御用 CPU から、前記リセット信号とは逆論理でありかつ省エネルギーモード中にはアクティブにならない第 2 リセット信号を、スレープ用 CPU に供給している。これにより、スレープ用 CPU が自分へのリセット信号入力に対してプロテクトをかけている最中に、スレープ用 CPU が何らかの理由で暴走してしまった場合にも、リセットすることができる。

【0052】請求項 3 記載の発明によれば、パワーオンリセット用のみ前記リセット信号を用い、別ラインの前記第 2 リセット信号をパワーオンリセット以外の通常のリセット用に用いるように切り分けて使用することで、ソフトウェア設計上で構成を簡略化することが可能になる。

【0053】請求項 4 記載の発明によれば、前記リセット信号をプロテクトするためのスレープ用 CPU のポート出力が所定の電位に固定されるから、省エネルギーモードではない通常の電源オン時のパワーオンリセット時にスレープ用 CPU のポート出力が所定の電位に固定され、安定したリセット信号が入力される。

【図面の簡単な説明】

【図 1】本発明を適用した省エネルギー機能付きファクシミリ装置のシステム構成図。

【図 2】本発明の CPU への電源供給構成とリセット信号の構成を示すブロック図。

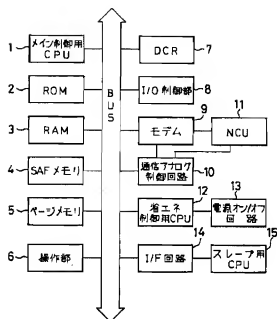
【図 3】リセット 1 信号のプロテクトの手順を示すフローチャート。

【図 4】リセット 2 信号による強制リセットの手順を示すフローチャート。

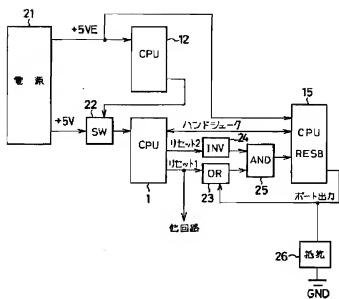
【符号の説明】

- 1 メイン制御用 CPU
- 12 省エネルギーモード制御用 CPU
- 15 スレープ用 CPU
- 22 省エネ用電源スイッチ
- 23 オア回路
- 24 インバータ回路
- 25 アンド回路
- 26 プルダウン抵抗

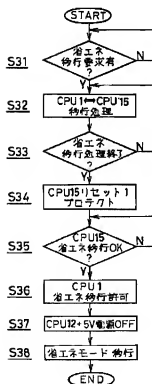
【図1】



【図2】



【図3】



【図4】

